**GAZİ ÜNİVERSİTESİ TEKNOLOJİ FAKÜLTESİ**

**BİLGİSAYAR MÜHENDİSLİĞİ BÖLÜMÜ**

**BM-207 SAYISAL TASARIM DERSİ**

**DENEY RAPORU**

**DENEY NO: 1**

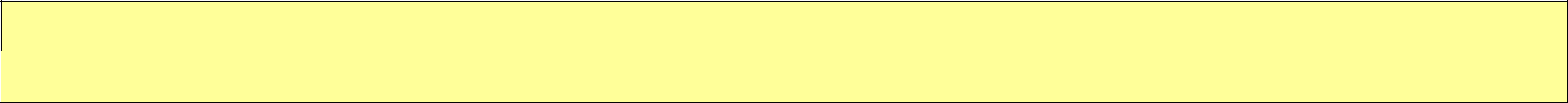
**LOJİK KAPILARIN İNCELENMESİ**

|  |  |  |
| --- | --- | --- |
| Deney | Deney adı | Onay (Paraf) |
| no |
| 1.1 | AND (VE) KAPISININ DOĞRULUK TABLOSUNUN |  |
| ÇIKARILMASI |
| 1.2 | 3 GİRİŞLİ AND (VE) KAPISININ DOĞRULUK TABLOSUNUN |  |
| ÇIKARILMASI |
| 1.3 | NAND (VE-DEĞİL) KAPISININ DOĞRULUK TABLOSUNUN |  |
| ÇIKARILMASI |
| 1.4 | NAND KAPISININ INVERTER OLARAK KULLANILMASI |  |
| 1.5 | 2 GİRİŞLİ NAND KAPILARIYLA 3 GİRİŞLİ NAND KAPISININ |  |
| OLUŞTURULMASI |
| 1.6 | INVERTER (TERSLEYİCİ) KAPISI DOĞRULUK TABLOSUNUN |  |
| ÇIKARILMASI |
| 1.7 | INVERTER KULLANARAK AND KAPISININ OR KAPISINA |  |
| DÖNÜŞTÜRÜLMESİ |
| 1.8 | INVERTER KULLANARAK OR KAPISININ AND KAPISINA |  |
| DÖNÜŞTÜRÜLMESİ |
| 1.9 | OR (VEYA) KAPISININ DOĞRULUK TABLOSUNUN |  |
| ÇIKARILMASI |
| 1.10 | ÜÇ GİRİŞLİ OR (VEYA) KAPISININ DOĞRULUK TABLOSUNUN |  |
| ÇIKARILMASI |
| 1.11 | NOR (VEYA-DEĞİL) KAPISININ DOĞRULUK TABLOSUNUN |  |
| ÇIKARILMASI |
| 1.12 | NOR KAPISININ INVERTER OLARAK KULLANILMASI |  |
| 1.13 | 2 GİRİŞLİ NOR (VEYADEĞİL) KAPILARIYLA 3 GİRİŞLİ NOR |  |
| KAPISI YAPILMASI |
| 1.14 | EXCLUSIVE-OR KAPISININ DOĞRULUK TABLOSUNUN |  |
| ÇIKARILMASI |
| 1.15 | EXCLUSIVE-NOR KAPISININ DOĞRULUK TABLOSUNUN |  |
| ÇIKARILMASI |

**DENEYİN AMACI** (Deneyin amacını açıklayan kısa bir giriŞ bölümü buraya yazılacaktır):

1. Lojik kapıların doğruluk tablolarının çıkartılması ve çalışma mantıklarının incelenmesi
2. 2 girişli lojik kapılarla 3 girişli lojik kapıların elde edilmesi
3. Not kapısı dışındaki lojik kapıların inverter olarak kullanımını sağlamak

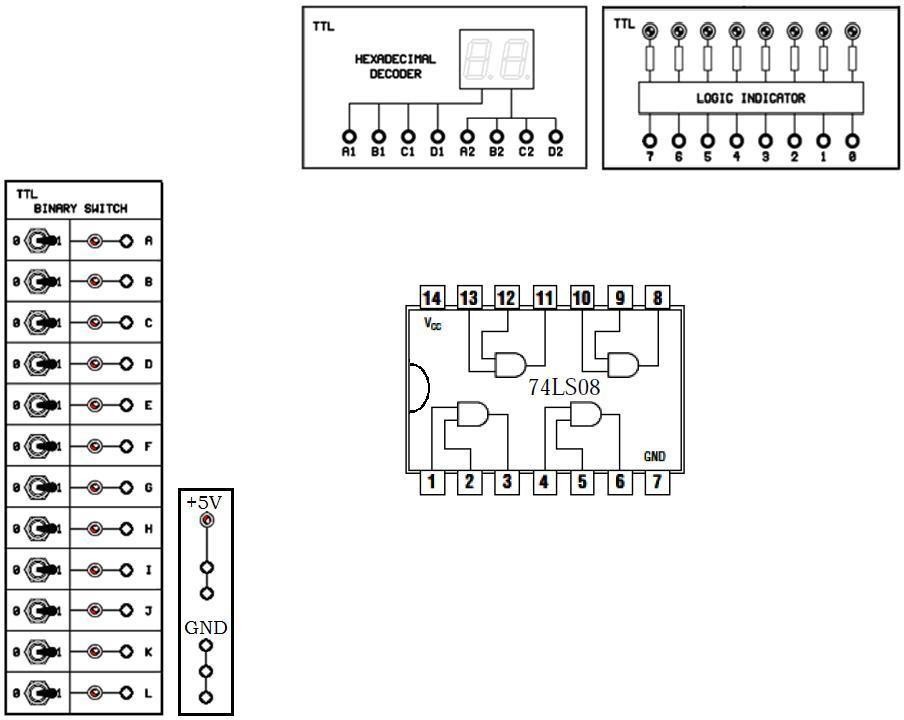
**NOT: Rapor kurşun kalem kullanılarak doldurulacaktır.**



**DENEY NO: 1.1**

**DENEY ADI: AND (VE) KAPISININ DOĞRULUK TABLOSUNUN ÇIKARILMASI**

1. Şekil 1.4.(a)’daki devreye uygun olarak Şekil 1.4.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

Şekil 1.4.(b) 2 girişli AND kapısının incelenmesi – uygulama devresi.

1. Deneyde elde etmiş olduğunuz Tablo 1.3’ü aşağıya tekrar doldurunuz:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **Y=A.B** | **Voltmetre ile ölçülen gerilim değeri** | |
| 74LS08 için | 4081 için |
| 0 | 0 | 0 | 0 | 0V |
| 0 | 1 | 0 | 0 | 0V |
| 1 | 0 | 0 | 0 | 0V |
| 1 | 1 | 1 | 5 | 5V |

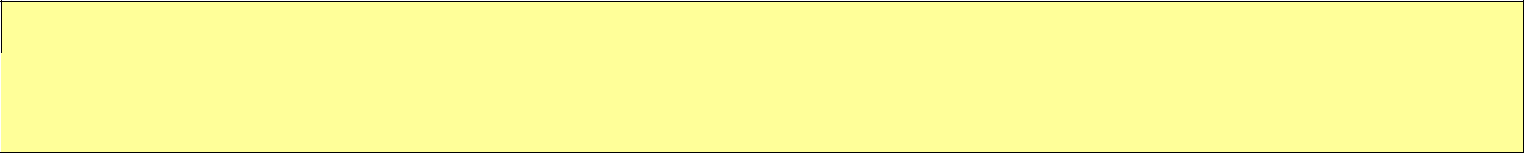
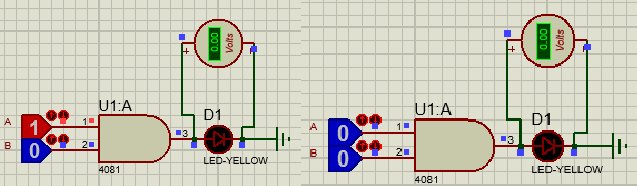
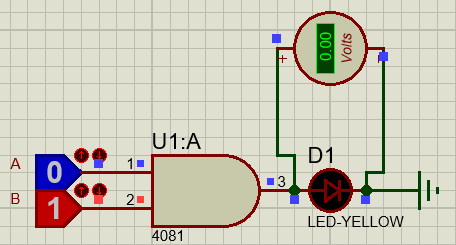
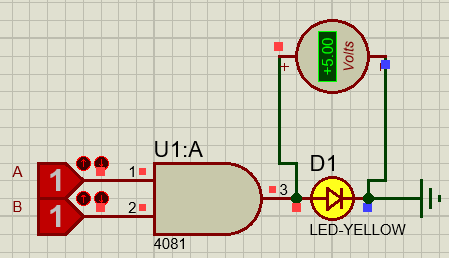
Tablo 1.3 3- Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır?

Proteusta çıkış gerilimi 5V olduğu zaman çıkış lojik "1", 0V olduğu zaman lojik "0" dır. And kapısında sadece tüm girişler lojik "1" olduğu zaman çıkış lojik "1"dir.

1. "1" lojik düzeyini ölçtüğünüzde kapı çıkışının +5 V olup olmadığını belirleyiniz. Değilse nedenini açıklayınız.

Proteusta elemanlar ideal kabul edildiğinden bu değerler elde edilmiştir fakat kullandığımız fiziksel elemanların iç dirençleri vb. sebeplerden gerçekte 5V’tan daha düşük değerler ölçülür.

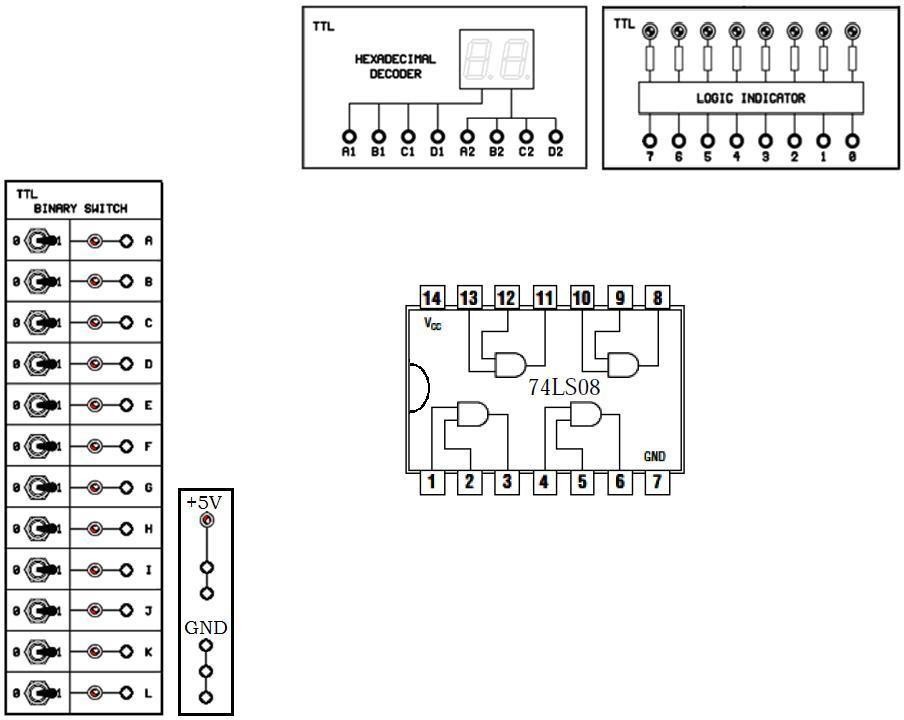
1. Tablo 1.3'teki sonuçlara göre AND kapısının doğruluk tablosu elde edilmiş midir?



**DENEY NO: 1.2**

**DENEY ADI: 3 GİRİŞLİ AND (VE) KAPISININ DOĞRULUK TABLOSUNUN ÇIKARILMASI**

1. Şekil 1.5.(a)’daki devreye uygun olarak Şekil 1.5.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

Şekil 1.5.(b) 3 girişli AND kapısının incelenmesi – uygulama devresi.

1. Deneyde elde etmiş olduğunuz Tablo 1.4’ü aşağıya tekrar doldurunuz:

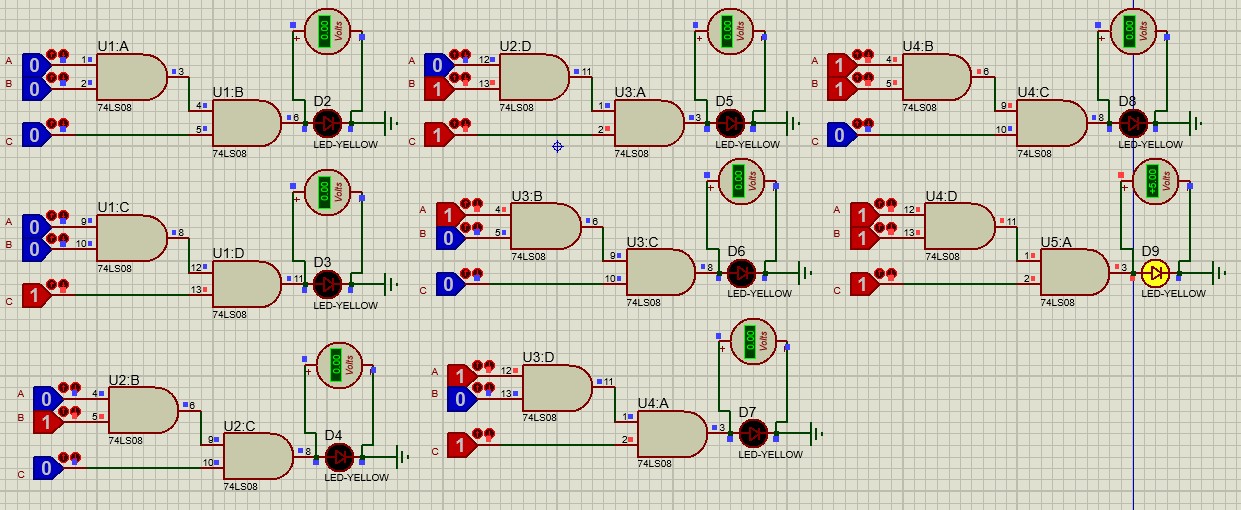
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **Y=A.B.C** | **Voltmetre ile ölçülen gerilim değeri** |
| 0 | 0 | 0 | 0 | 0V |
| 0 | 0 | 1 | 0 | 0V |
| 0 | 1 | 0 | 0 | 0V |
| 0 | 1 | 1 | 0 | 0V |
| 1 | 0 | 0 | 0 | 0V |
| 1 | 0 | 1 | 0 | 0V |
| 1 | 1 | 0 | 0 | 0V |
| 1 | 1 | 1 | 1 | 5V |

Tablo 1.4

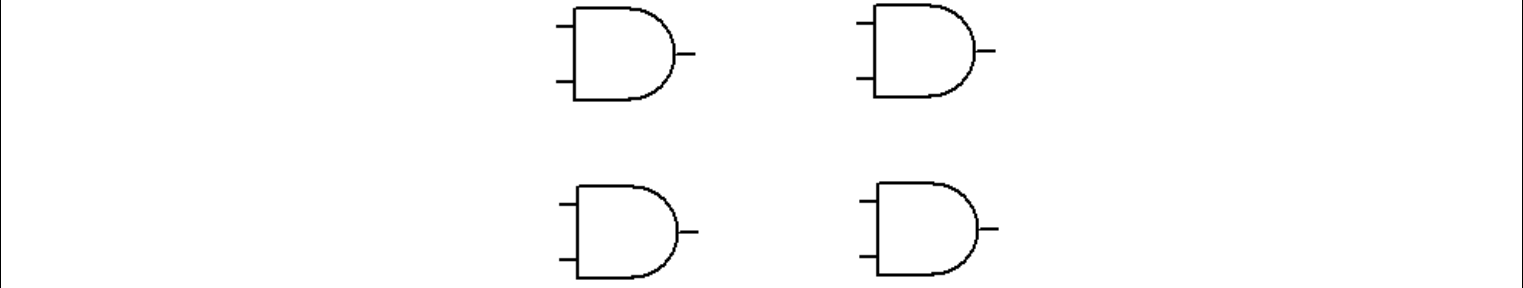
1. Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır?

Proteusta çıkış gerilimi 5V olduğu zaman çıkış lojik "1", 0V olduğu zaman lojik "0" dır. And kapısında sadece tüm girişler lojik "1" olduğu zaman çıkış lojik "1"dir.

1. Tablo 1.4'teki sonuçlara göre 3 girişli AND kapısının doğruluk tablosu elde edilmiş midir?



1. 2 girişli AND kapıları kullanarak 4 girişli bir AND kapısı oluşturunuz. (girişler A, B, C, D, çıkış Y)



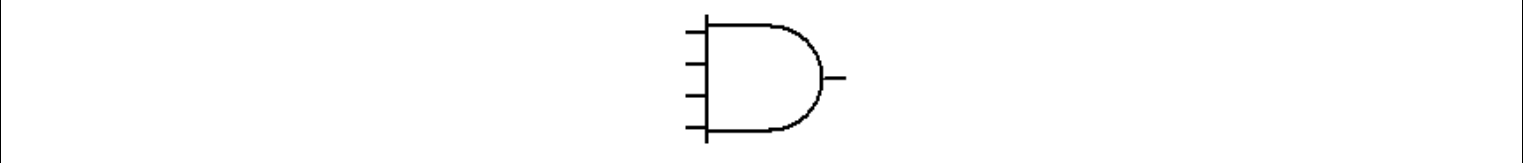
A B

Y Birleşme özelliğinden

(a.b).(c.d)=a.b.c.d

C D

1. 4 girişli bir AND kapısı kullanarak 2 girişli bir AND kapısı oluşturunuz. (girişler A, B, çıkış Y)



Özdeşlik özelliği gereği iki aynı logic A ifadenin “and” işlemine tabi

Y

tutulmasının sonucu logic ifadenin B kendisidir

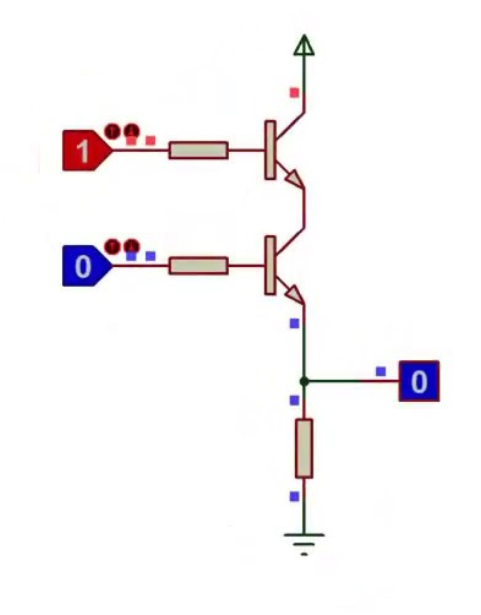
Bu nedenle girişleri ikişer ikişer birleştirip tek giriş haline getirebiliriz.

a.a=a

6- 2 girişli bir TTL AND kapısının transistörler, direçler, gibi elemanlardan oluşan içyapısını çiziniz. (Öğrenci **numarasının son rakamı tek olan öğrenciler** bu soruyu cevaplayacaktır.)

2 girişli bir CMOS AND kapısının transistörler, direçler, gibi elemanlardan oluşan içyapısını çiziniz. (Öğrenci **numarasının son rakamı çift olan öğrenciler** bu soruyu cevaplayacaktır.)

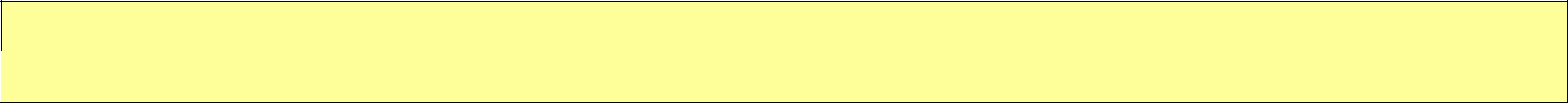
(girişler A, B, çıkış Y)



Y

B

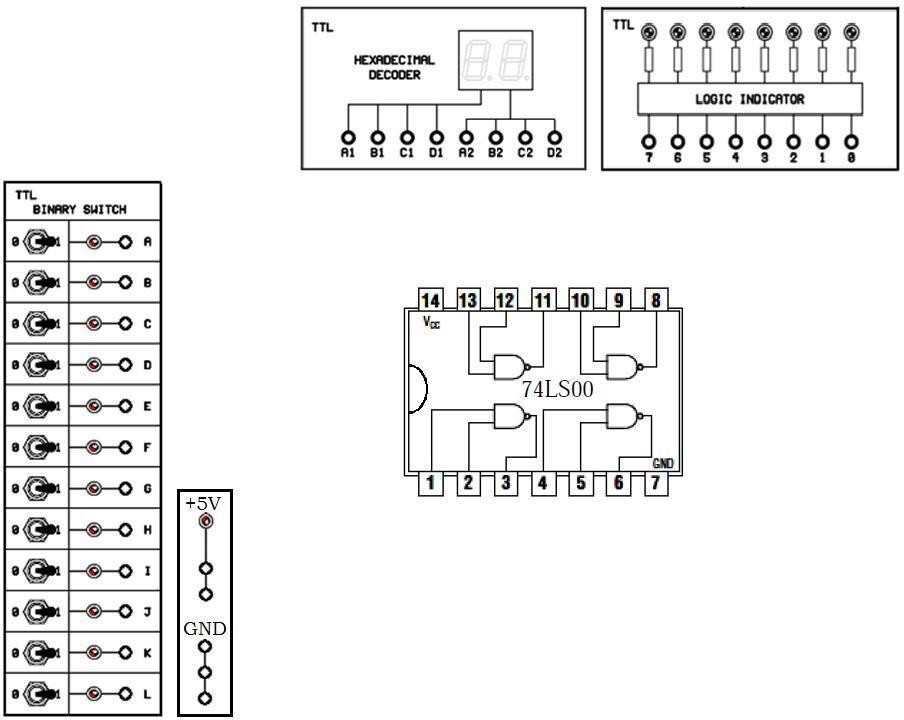
A



**DENEY NO: 1.3**

**DENEY ADI: NAND (VE-DEĞİL) KAPISININ DOĞRULUK TABLOSUNUN ÇIKARILMASI**

1. Şekil 1.8.(a)’daki devreye uygun olarak Şekil 1.8.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

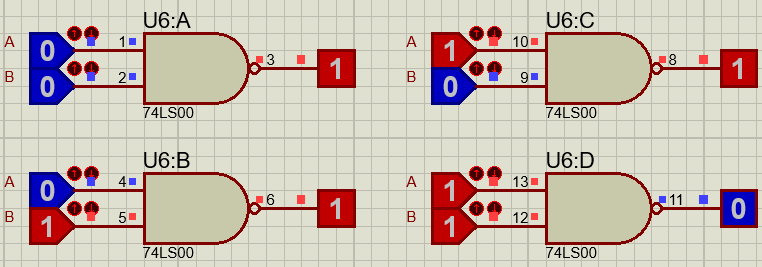
Şekil 1.8.(b) 2 girişli NAND kapısının incelenmesi – uygulama devresi.

1. Deneyde elde etmiş olduğunuz Tablo 1.6’yı aşağıya tekrar doldurunuz:

|  |  |  |
| --- | --- | --- |
| A | B | Y=(A.B)’ |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Tablo 1.6.

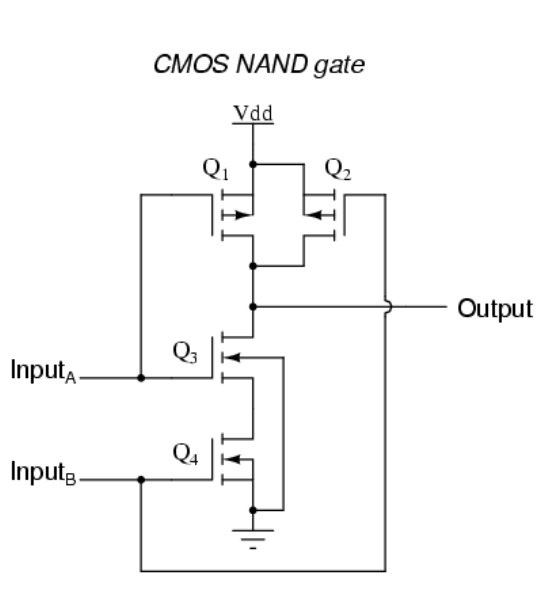
1. Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır?



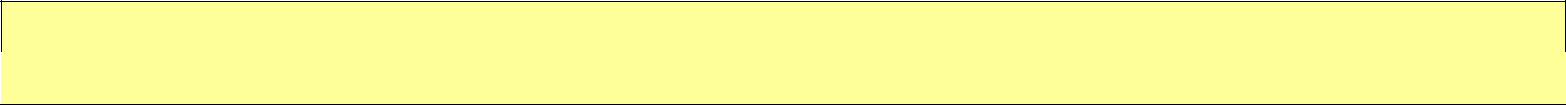
1. 2 girişli bir CMOS NAND kapısının transistörler, direçler, gibi elemanlardan oluşan içyapısını çiziniz. (Öğrenci **numarasının son rakamı tek olan öğrenciler** bu soruyu cevaplayacaktır.)

2 girişli bir TTL NAND kapısının transistörler, direçler, gibi elemanlardan oluşan içyapısını çiziniz. (Öğrenci **numarasının son rakamı çift olan öğrenciler** bu soruyu cevaplayacaktır.)

(girişler A, B, çıkış Y)



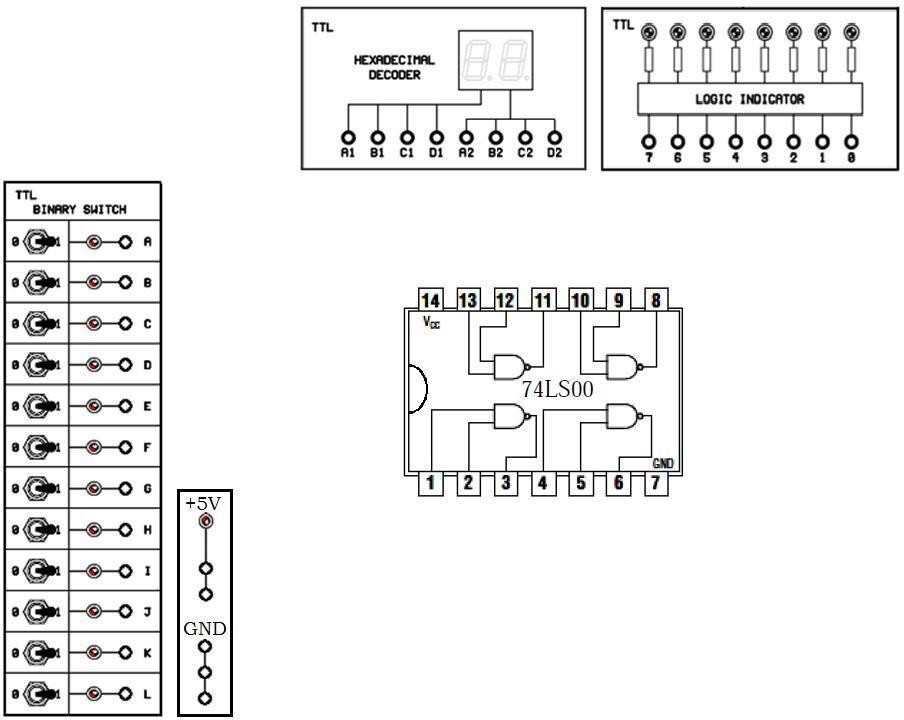
Y



**DENEY NO: 1.4**

**DENEY ADI: NAND KAPISININ INVERTER OLARAK KULLANILMASI**

1. Şekil 1.9.(a)’daki devreye uygun olarak Şekil 1.9.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



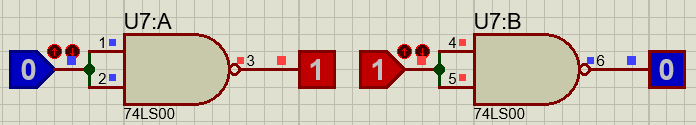
**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın. Şekil 1.9.(b) NAND kapısının inverter olarak kullanılması – uygulama devresi.

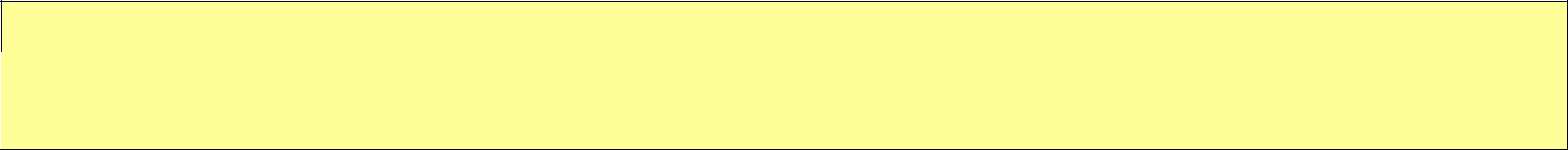
1. Deneyde elde etmiş olduğunuz Tablo 1.7’yi aşağıya tekrar doldurunuz:

|  |  |
| --- | --- |
| A (GİRİŞ) | Y (ÇIKIŞ) |
| 1 | 0 |
| 0 | 1 |

Tablo1.7.

1. Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır?

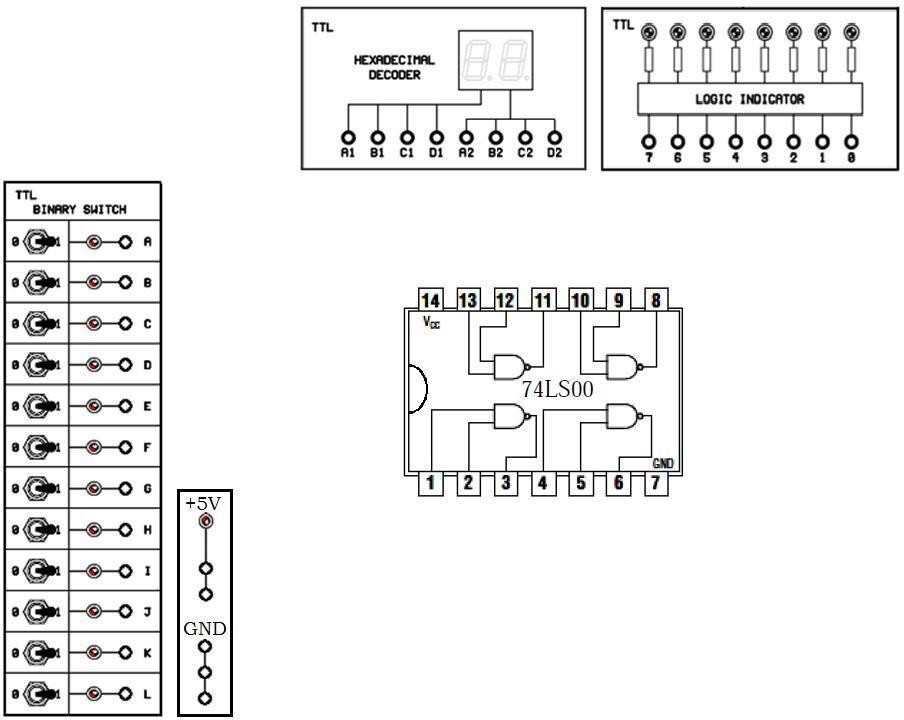




**DENEY NO: 1.5**

**DENEY ADI: 2 GİRİŞLİ NAND KAPILARIYLA 3 GİRİŞLİ NAND KAPISININ OLUŞTURULMASI**

* 1. Şekil 1.10.(a)’daki devreye uygun olarak Şekil 1.10.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



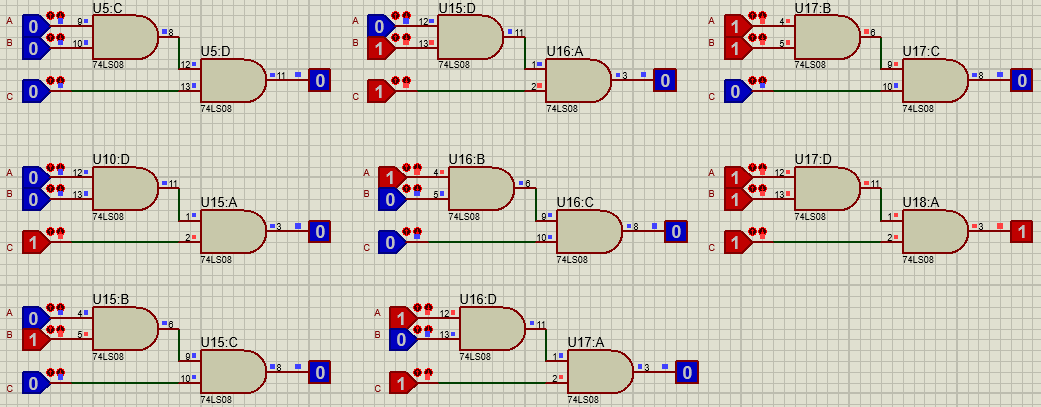
**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

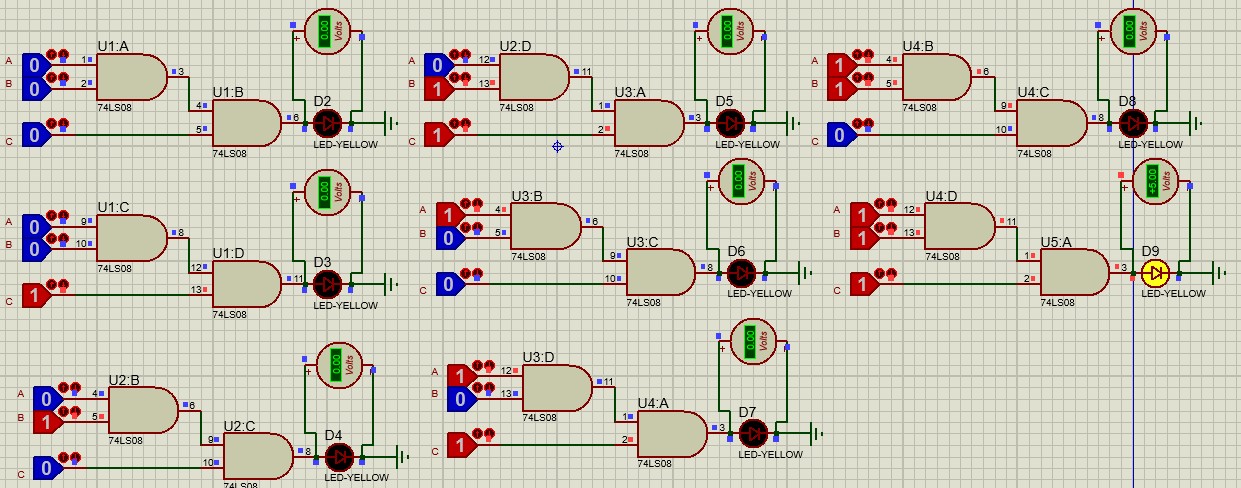
Şekil 1.10.(b) 2 girişli NAND kapılarıyla 3 girişli NAND kapısının oluşturulması – uygulama devresi.

* 1. Deneyde elde etmiş olduğunuz Tablo 1.8’i aşağıya tekrar doldurunuz:

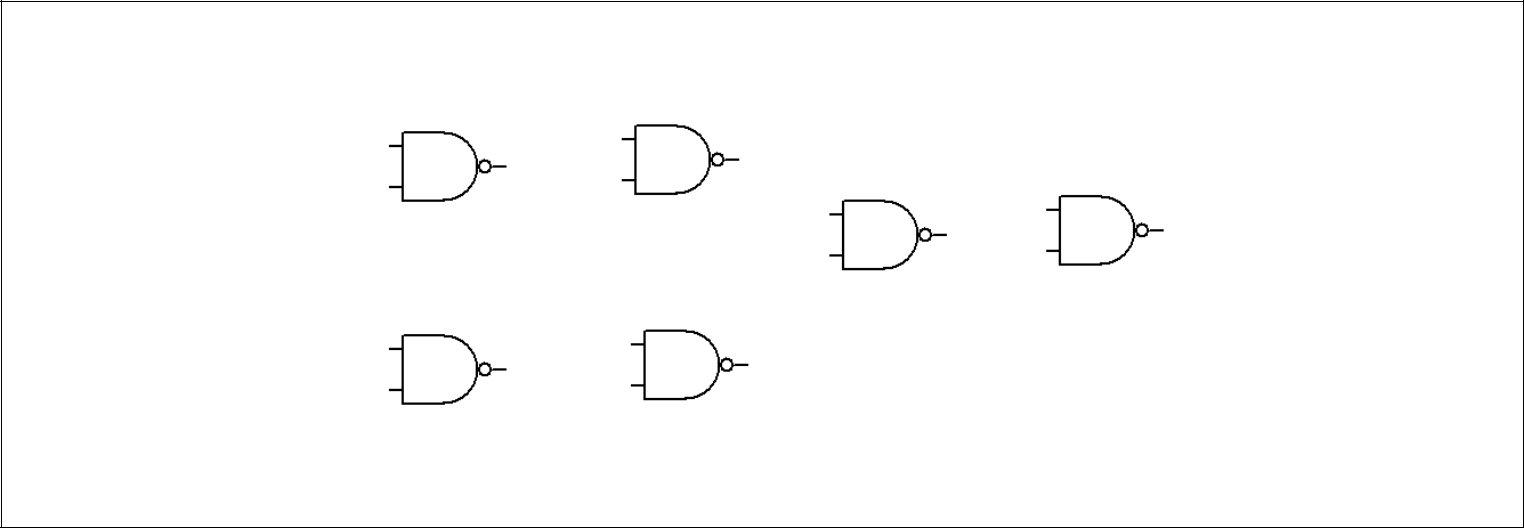
|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | Y=(A.B.C)’ |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Tablo 1.8.

* 1. Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır?
  2. Tablo 1.8'deki sonuçlara göre 3 girişli NAND kapısının doğruluk tablosu elde edilmiş midir?



* 1. 2 girişli NAND kapıları kullanarak 4 girişli bir NAND kapısı oluşturunuz. (girişler A, B, C, D, çıkış Y)



Boolean cebiri ile:

(((A.B)’)’.((C.D)’)’)’

A

Kullanılan özellikler:

-Tersin tersi

-Birleşme

-Özdeşlik

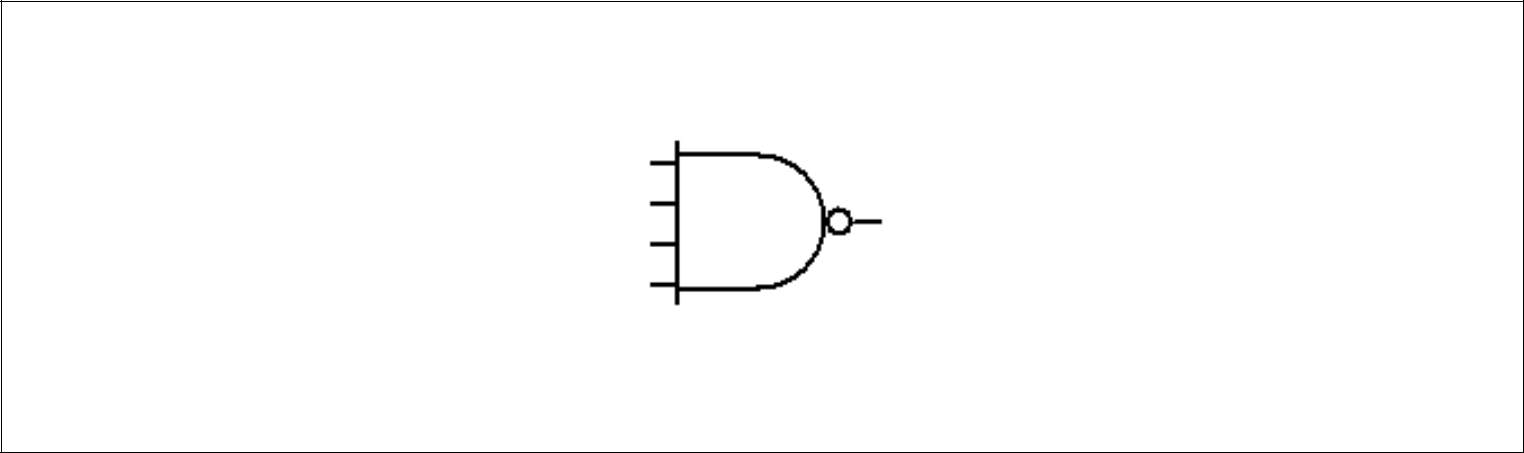
B

Y

C

D

* 1. 4 girişli bir NAND kapısı kullanarak 2 girişli bir NAND kapısı oluşturunuz. (girişler A, B, çıkış Y)



Özdeşlik özelliği gereği iki aynı logic ifadenin “and” işlemine tabi tutulmasının sonucu logic ifadenin kendisidir

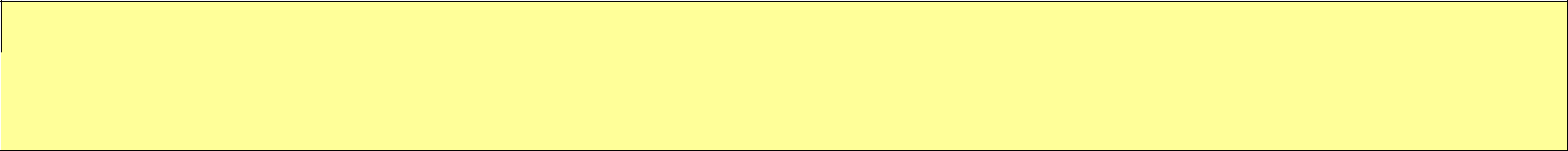
A

Y

B

Bu nedenle girişleri ikişer ikişer birleştirip tek giriş haline getirebiliriz.

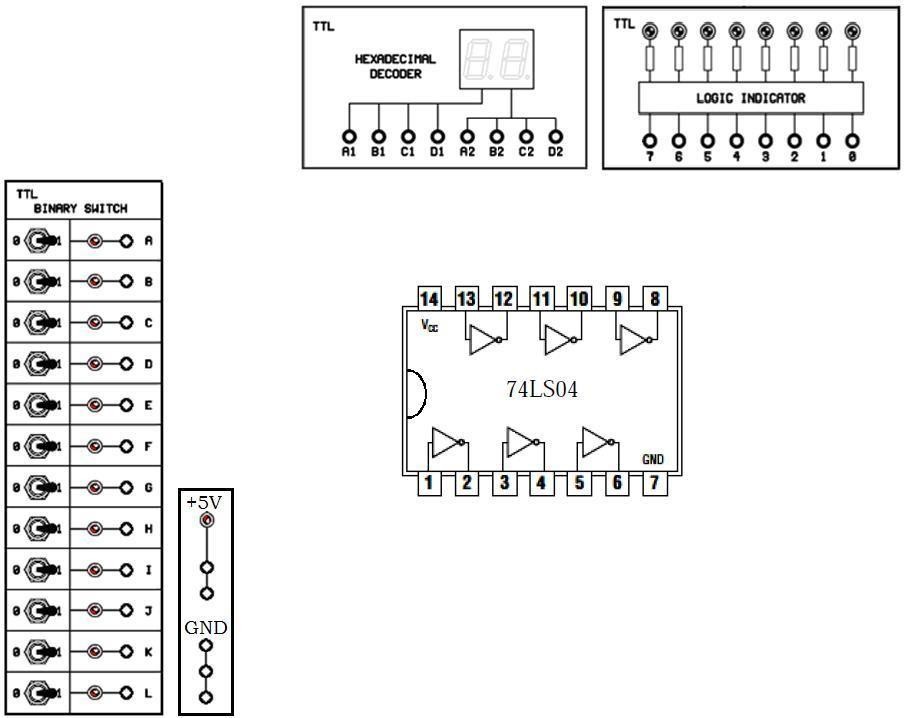
a.a=a



**DENEY NO: 1.6**

**DENEY ADI: INVERTER (TERSLEYİCİ) KAPISI DOĞRULUK TABLOSUNUN ÇIKARILMASI**

* + 1. Şekil 1.15.(a)’daki devreye uygun olarak Şekil 1.15.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



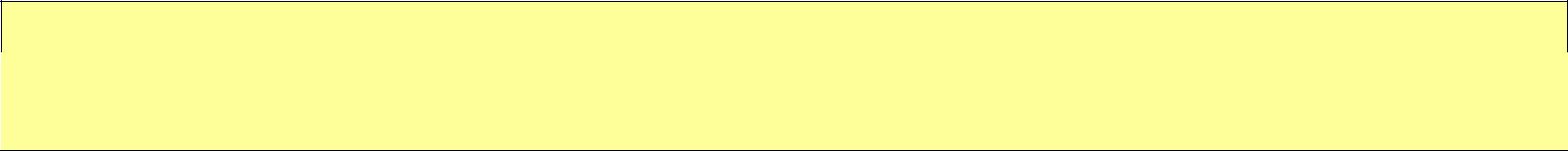
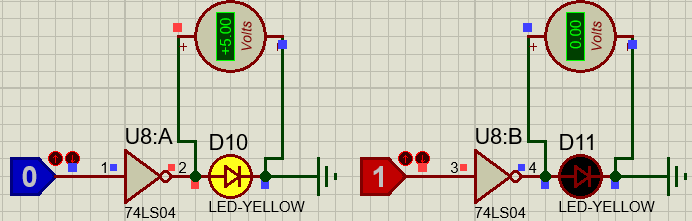
**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

Şekil 1.15.(b) INVERTER kapısının incelenmesi – uygulama devresi.

* + 1. Deneyde elde etmiş olduğunuz Tablo 1.12’yi aşağıya tekrar doldurunuz:

|  |  |  |
| --- | --- | --- |
| **A (GİRİŞ)** | **Y (ÇIKIŞ)** | **Voltmetre ile ölçülen gerilim değeri** |
| 0 | 1 | 5V |
| 1 | 0 | 0V |

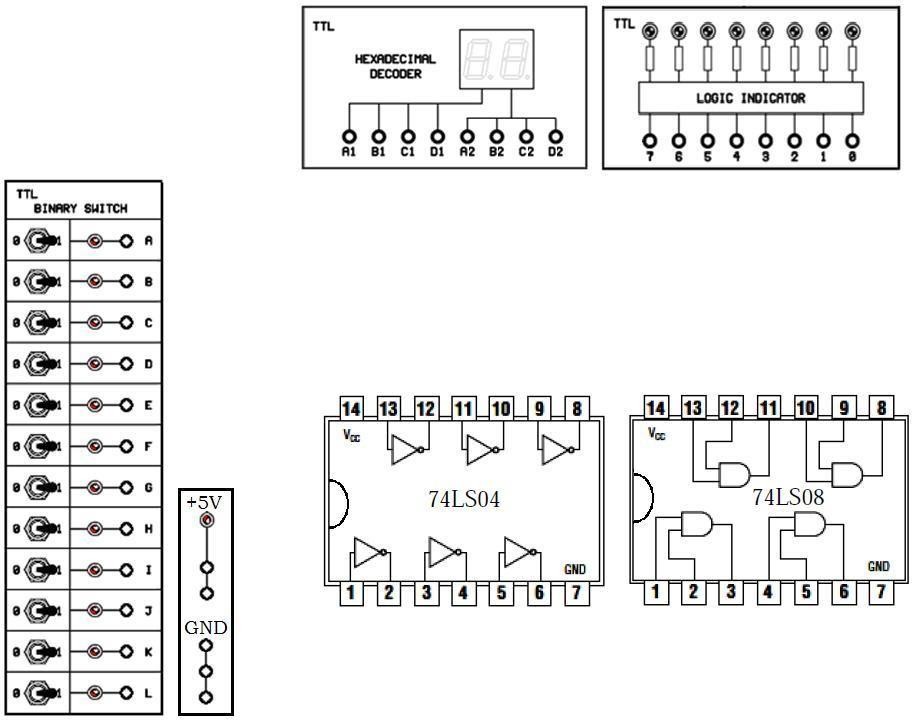
Tablo 1.12. 3- Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır?



**DENEY NO: 1.7**

**DENEY ADI: INVERTER KULLANARAK AND KAPISININ OR KAPISINA DÖNÜŞTÜRÜLMESİ**

1- Şekil 1.16.(a)’daki devreye uygun olarak Şekil 1.16.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



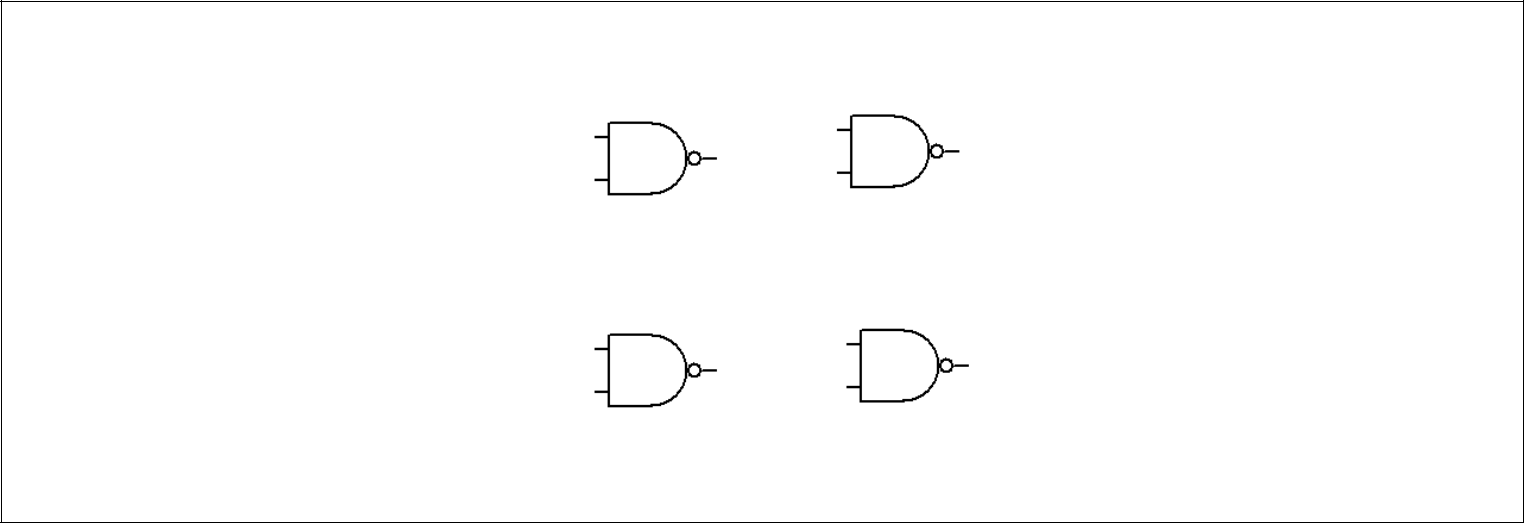
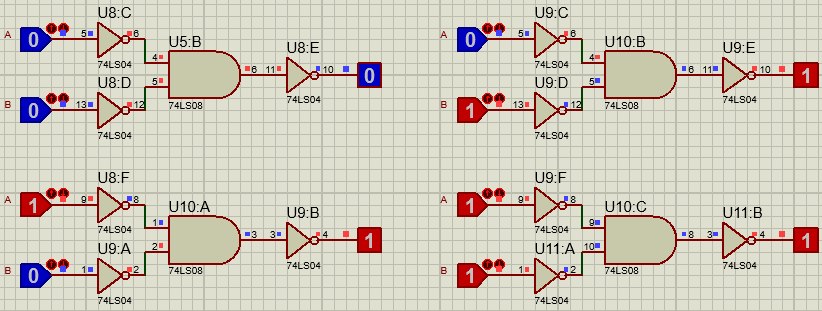
**Not:** Entegre devrelerin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

Şekil 1.16.(b) Inverter yardımıyla AND kapısının OR kapısına dönüştürülmesi – uygulama devresi. 2- Deneyde elde etmiş olduğunuz Tablo 1.13’ü aşağıya tekrar doldurunuz:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| GİRİŞLER | | | | ÇIKIŞ |
| A | B | TERSİ | | Y=A+B |
| A’ | B’ |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |

Tablo 1.13.

3- Sonucu tartışınız. AND kapısı ve INVERTER kapıları kullanılarak OR kapısı olmuş mudur? (A’ . B’) = A + B



4- Sadece 2 girişli NAND kapıları kullanarak 2 girişli bir OR kapısı oluşturunuz. (girişler A, B, çıkış Y)

Boolean cebiri ile:

(A’.B’)’ = A + B

A

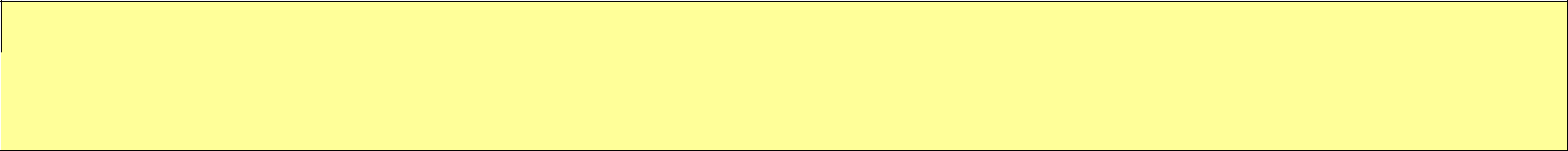
Y

De Morgan kuralını uyguladık ( A +B )’ = A’ . B’

( A . B )’ = A’ + B’

B

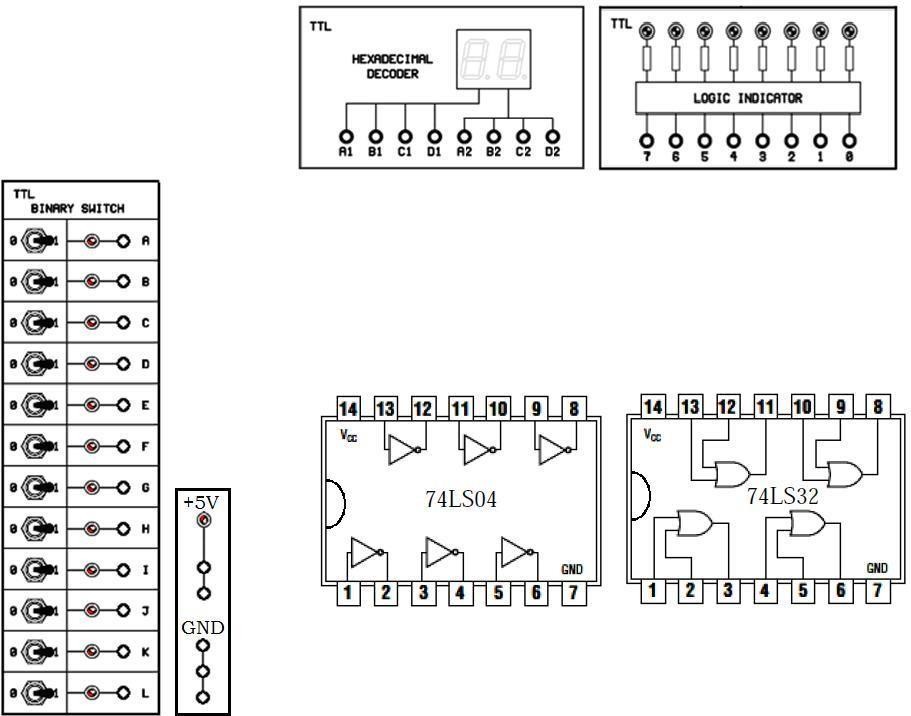
And kapısında olduğu gibi nand kapısında da Özdeşlik özelliği vardır. Çünkü nand kapısı bir and kapısına bir not kapısının eklenmiş halidir ve and kapısında Özdeşlik özelliği olduğundan nand kapısında da vardır. Bu nedenle girişleri ikişer ikişer birleştirip tek giriş haline getirebiliriz. Böylece nand kapısını not kapısına çevirmiş oluruz.



**DENEY NO: 1.8**

**DENEY ADI: INVERTER KULLANARAK OR KAPISININ AND KAPISINA DÖNÜŞTÜRÜLMESİ**

1- Şekil 1.17.(a)’daki devreye uygun olarak Şekil 1.17.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



**Not:** Entegre devrelerin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

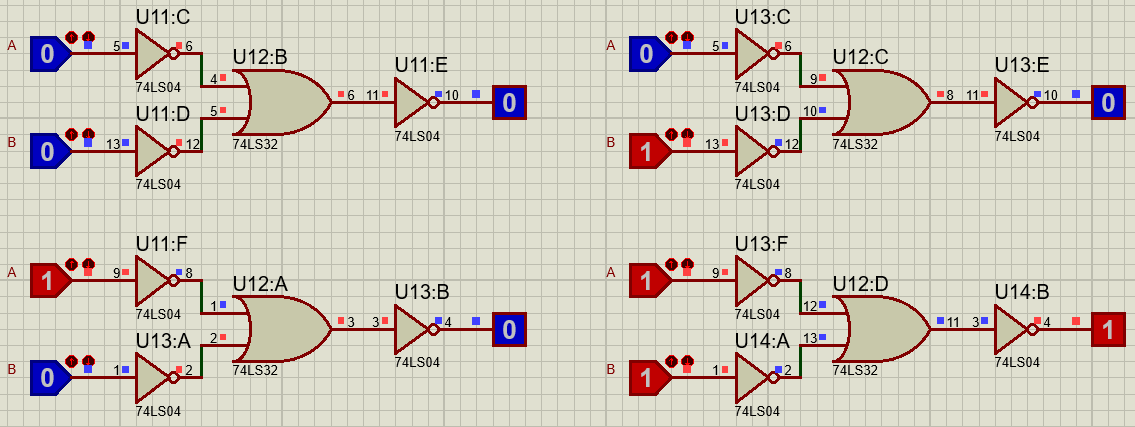
Şekil 1.17.(b) Inverter yardımıyla OR kapısının AND kapısına dönüştürülmesi – uygulama devresi. 2- Deneyde elde etmiş olduğunuz Tablo 1.14’ü aşağıya tekrar doldurunuz:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| GİRİŞLER | | | | ÇIKIŞ |
| A | B | TERSİ | | Y=AB |
| A’ | B’ |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |

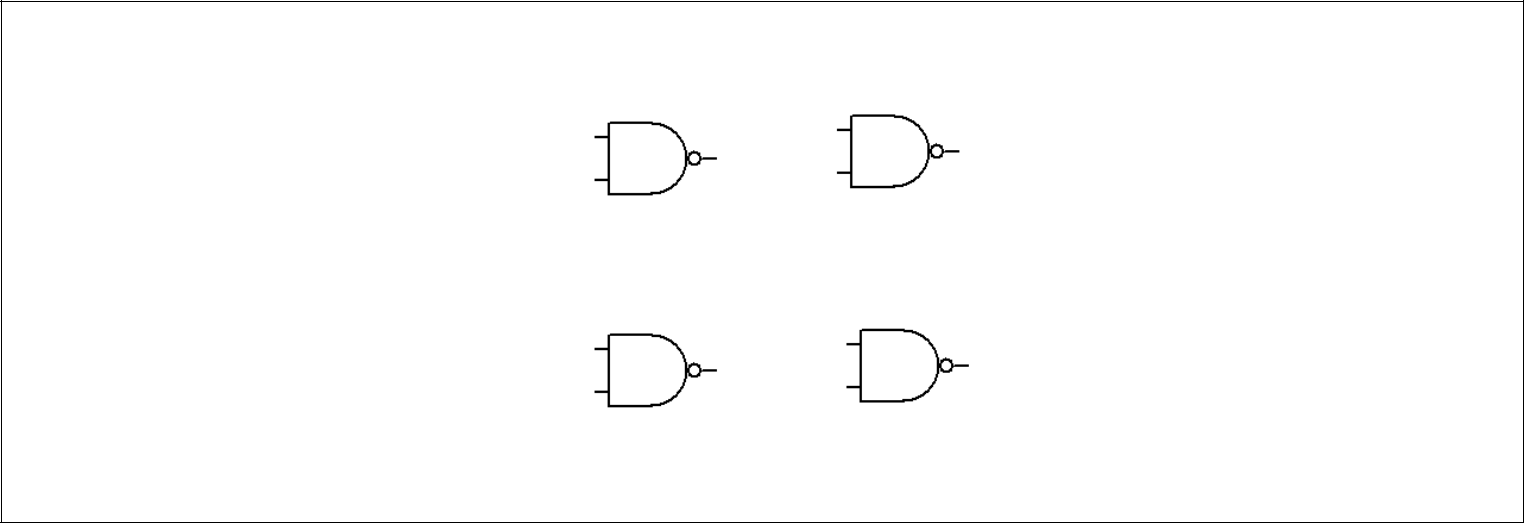
Tablo 1.14.

1. Sonucu tartışınız. OR kapısı ve INVERTER kapıları kullanılarak AND kapısı olmuş mudur?

( A’ + B’ )’ = A . B



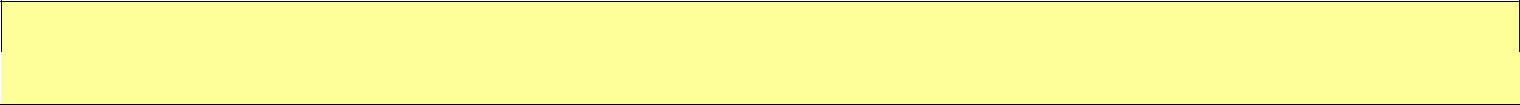
1. Sadece 2 girişli NAND kapıları kullanarak 2 girişli bir AND kapısı oluşturunuz. (girişler A, B, çıkış Y)



( ( A . B )’)’ = A . B

A B

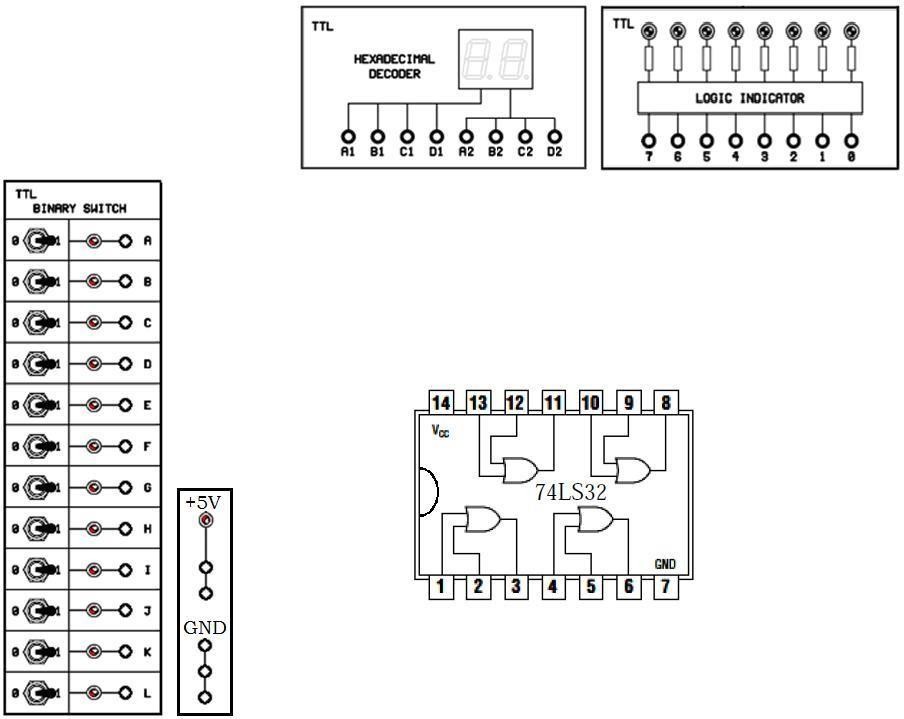
Y



**DENEY NO: 1.9**

**DENEY ADI: OR (VEYA) KAPISININ DOĞRULUK TABLOSUNUN ÇIKARILMASI**

1. Şekil 1.21.(a)’daki devreye uygun olarak Şekil 1.21.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



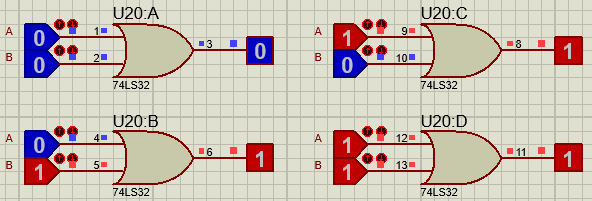
**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

Şekil 1.21.(b) 2 girişli OR kapısının incelenmesi – uygulama devresi.

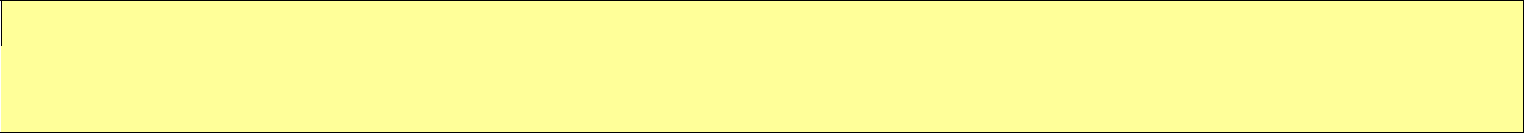
1. Deneyde elde etmiş olduğunuz Tablo 1.17’yi aşağıya tekrar doldurunuz:

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

Tablo 1.17.

1. Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır?
2. Tablo 1.17'deki sonuçlara göre VEYA kapısının doğruluk tablosu elde edilmiş midir?

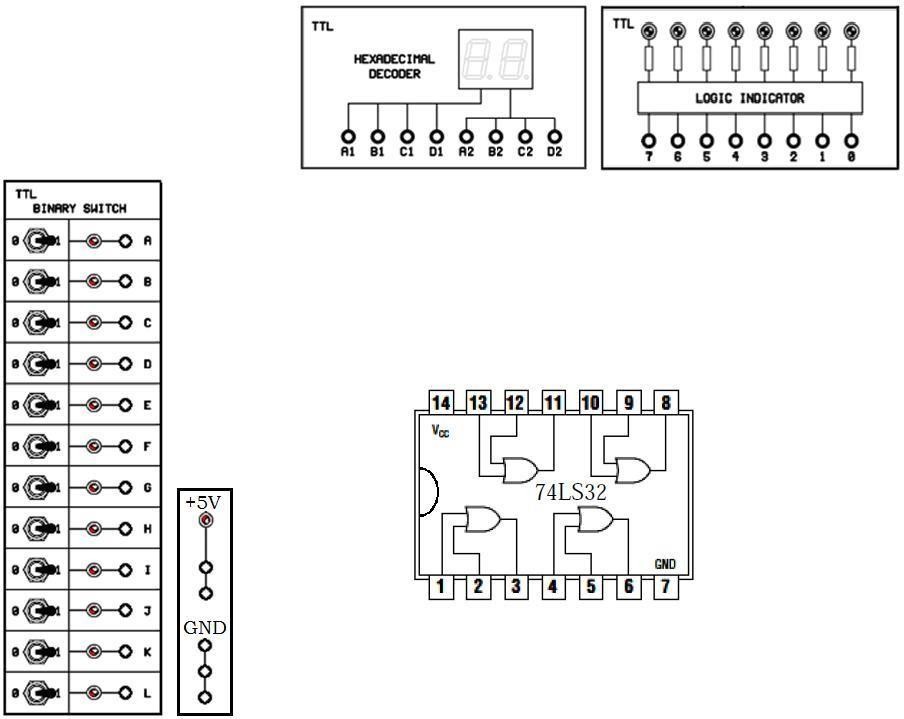
Boolean cebirinden bildiğimiz değerleri proteusta ayarlayınca aynı sonucu elde ettik.



**DENEY NO: 1.10**

**DENEY ADI: ÜÇ GİRİŞLİ OR (VEYA) KAPISININ DOĞRULUK TABLOSUNUN ÇIKARILMASI**

1. Şekil 1.22.(a)’daki devreye uygun olarak Şekil 1.22.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



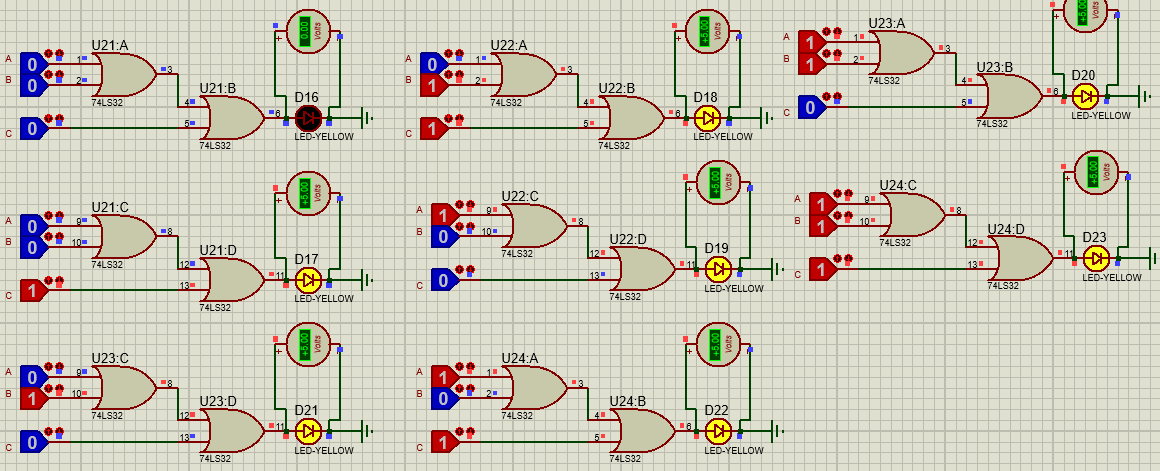
**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

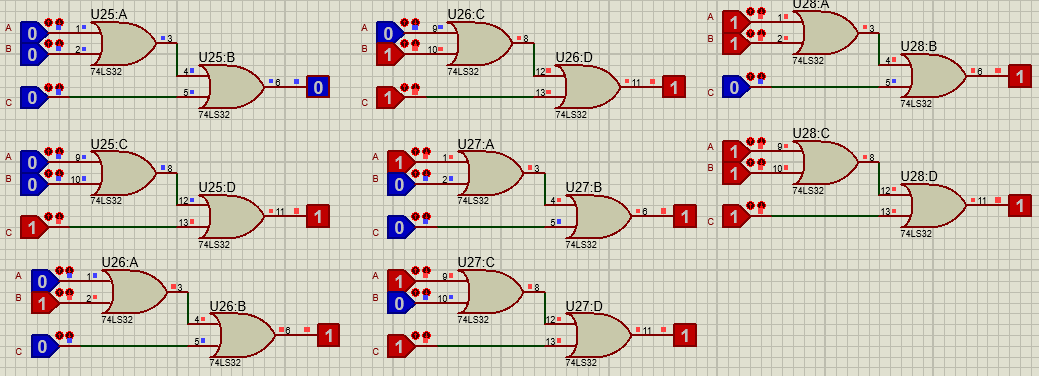
Şekil 1.22.(a) 3 girişli OR kapısının incelenmesi – uygulama devresi.

1. Deneyde elde etmiş olduğunuz Tablo 1.18’i aşağıya tekrar doldurunuz:

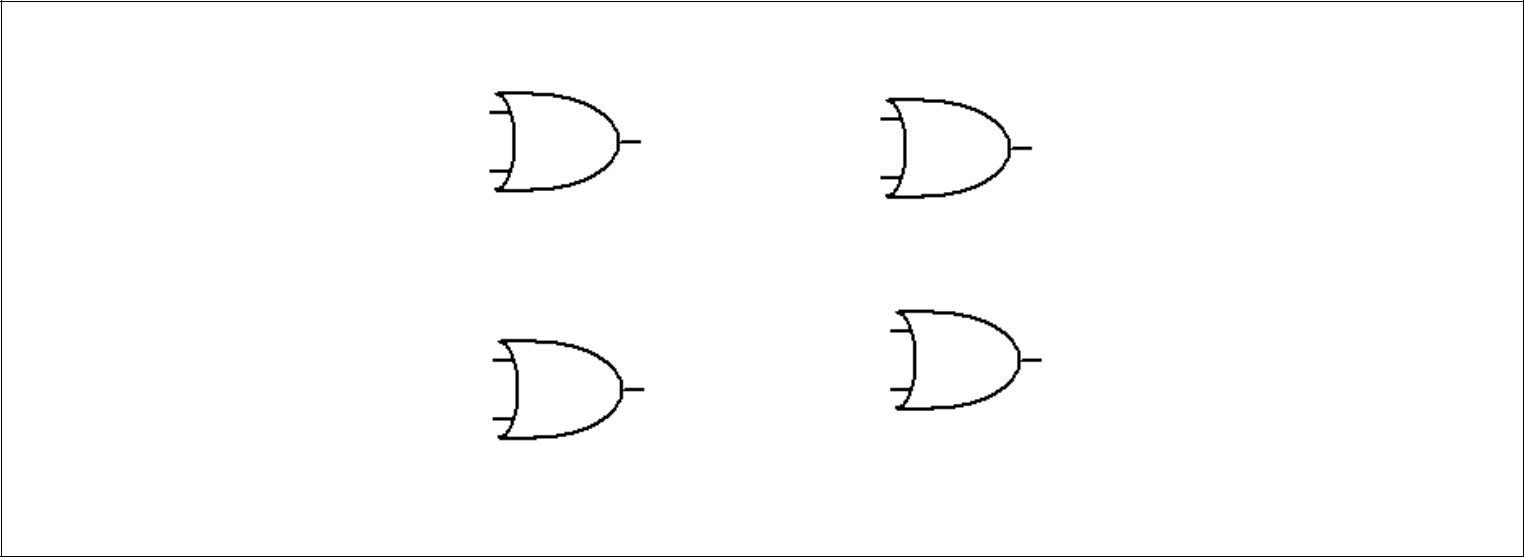
|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **C** | **Y (ÇIKIŞ)** |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Tablo 1.18.

1. Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır?
2. Tablo 1.18'deki sonuçlara göre 3 girişli OR kapısının doğruluk tablosu elde edilmiş midir?



1. 2 girişli OR kapıları kullanarak 4 girişli bir OR kapısı oluşturunuz. (girişler A, B, C, D, çıkış Y)



Birleşme özelliği or kapısında da mevcuttur.

A

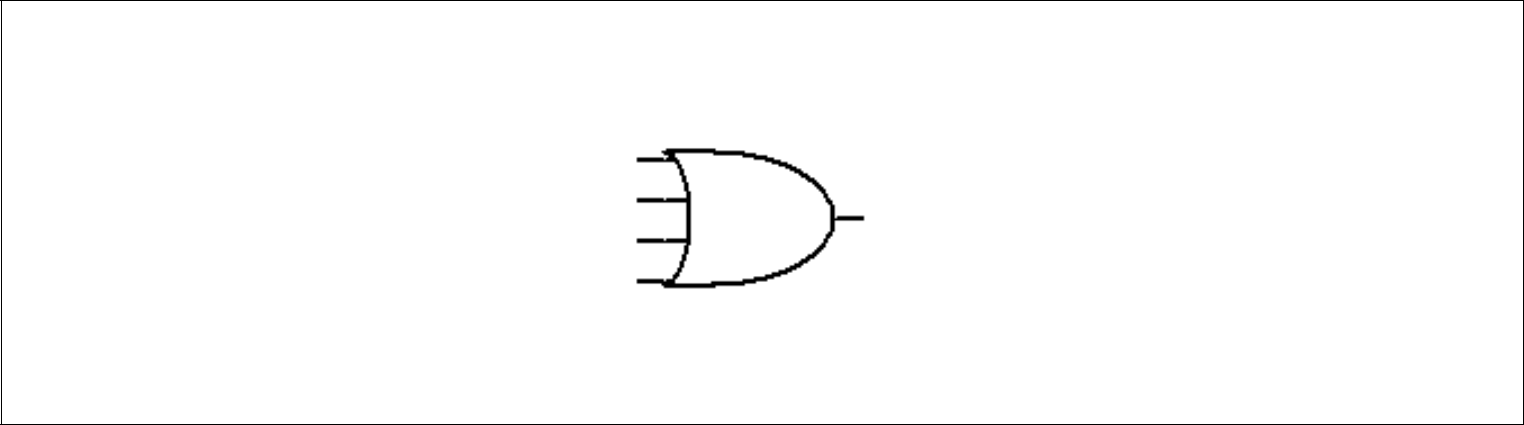
B

Y

C

D

1. 4 girişli bir OR kapısı kullanarak 2 girişli bir OR kapısı oluşturunuz. (girişler A, B, çıkış Y)

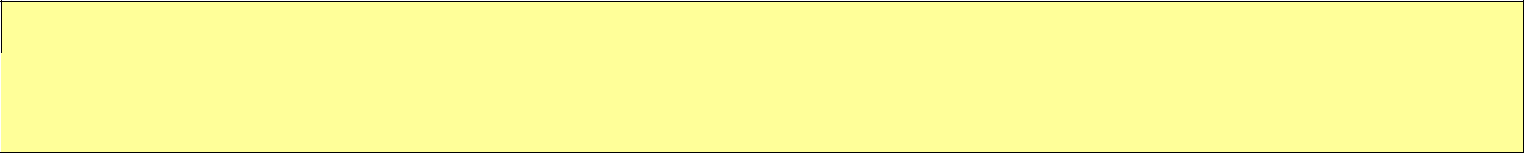


Özdeşlik özelliği or kapısında da vardır.

A

Y

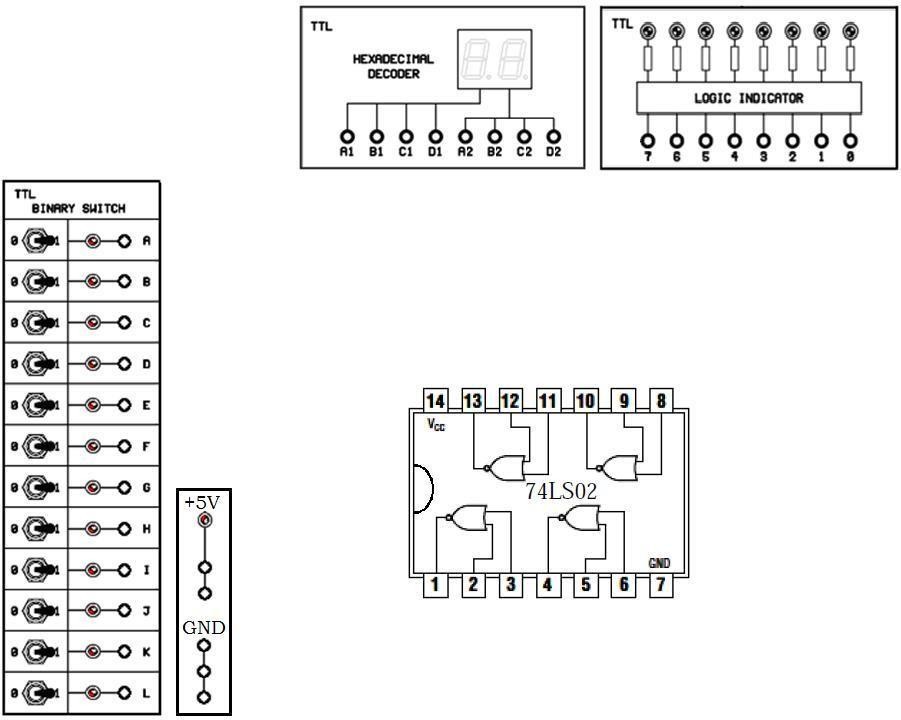
B



**DENEY NO: 1.11**

**DENEY ADI: NOR (VEYA-DEĞİL) KAPISININ DOĞRULUK TABLOSUNUN ÇIKARILMASI**

1. Şekil 1.26.(a)’daki devreye uygun olarak Şekil 1.26.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

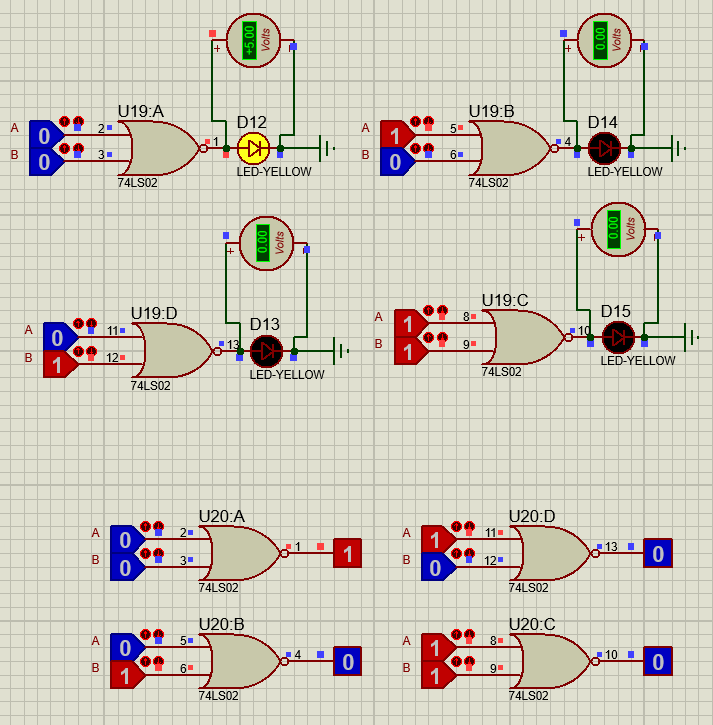
Şekil 1.26.(b) 2 girişli NOR kapısının incelenmesi – uygulama devresi.

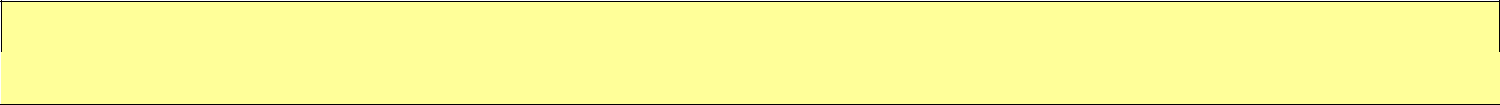
1. Deneyde elde etmiş olduğunuz Tablo 1.21’i aşağıya tekrar doldurunuz:

|  |  |  |
| --- | --- | --- |
| **GİRİŞ** | | **ÇIKIŞ** |
| **A** | **B** | **Y = (A+B)’** |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Tablo 1.21.

1. Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır? Tablo 1.21’deki sonuçlara göre NOR kapısının doğruluk tablosu elde edilmiş midir ?

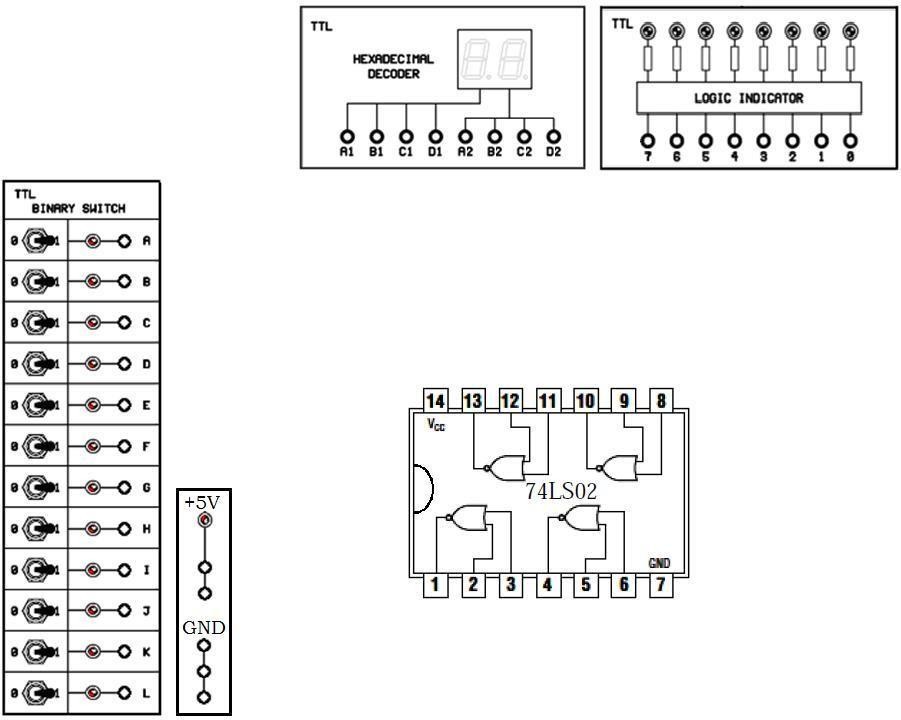




**DENEY NO : 1.12**

**DENEY ADI: NOR KAPISININ INVERTER OLARAK KULLANILMASI**

1. Şekil 1.27.(a)’daki devreye uygun olarak Şekil 1.27.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

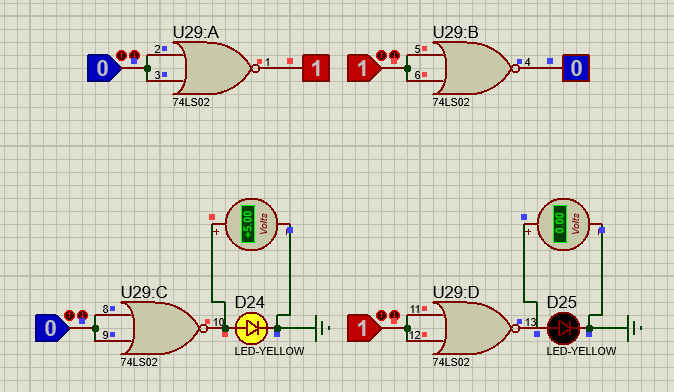
Şekil 1.27.(b) NOR kapısının INVERTER olarak kullanılmasının incelenmesi – uygulama devresi.

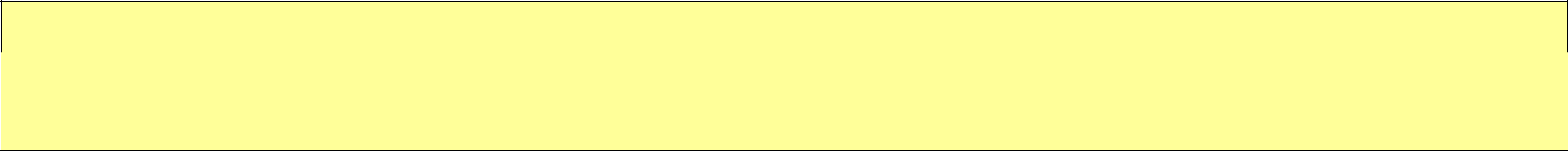
1. Deneyde elde etmiş olduğunuz Tablo 1.22’yi aşağıya tekrar doldurunuz:

|  |  |
| --- | --- |
| **A(GİRİŞ)** | **Y(ÇIKIŞ)** |
| 0 | 1 |
| 1 | 0 |

Tablo 1.22.

1. Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır? Tablo 1.22'deki sonuçlara göre NOR kapısından INVERTER elde edilmiş midir?

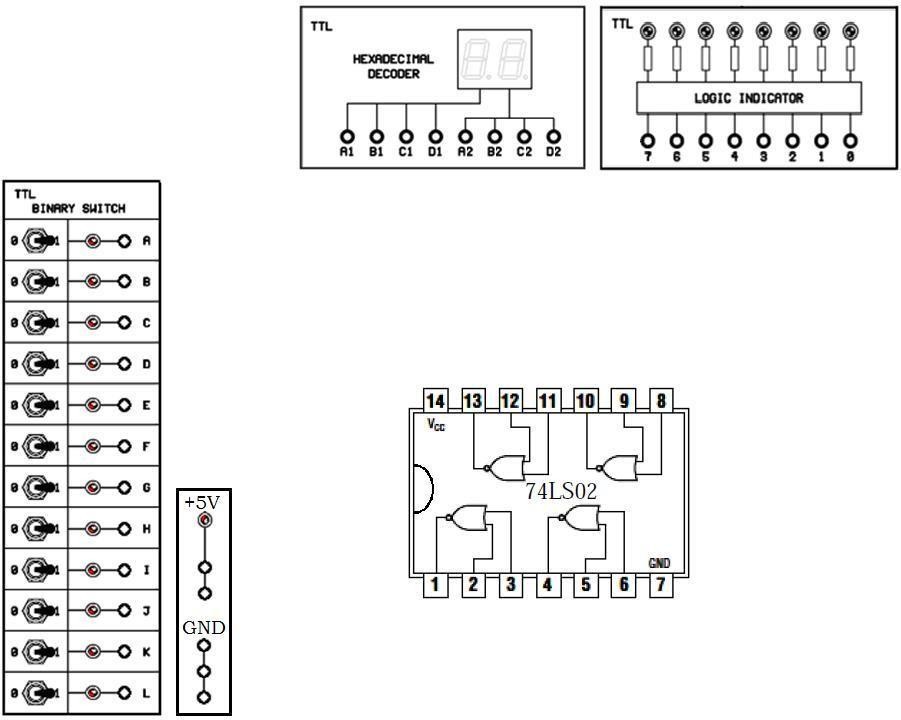




**DENEY NO : 1.13**

**DENEY ADI: 2 GİRİŞLİ NOR (VEYADEĞİL) KAPILARIYLA 3 GİRİŞLİ NOR KAPISI YAPILMASI**

1. Şekil 1.28.(a)’daki devreye uygun olarak Şekil 1.28.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



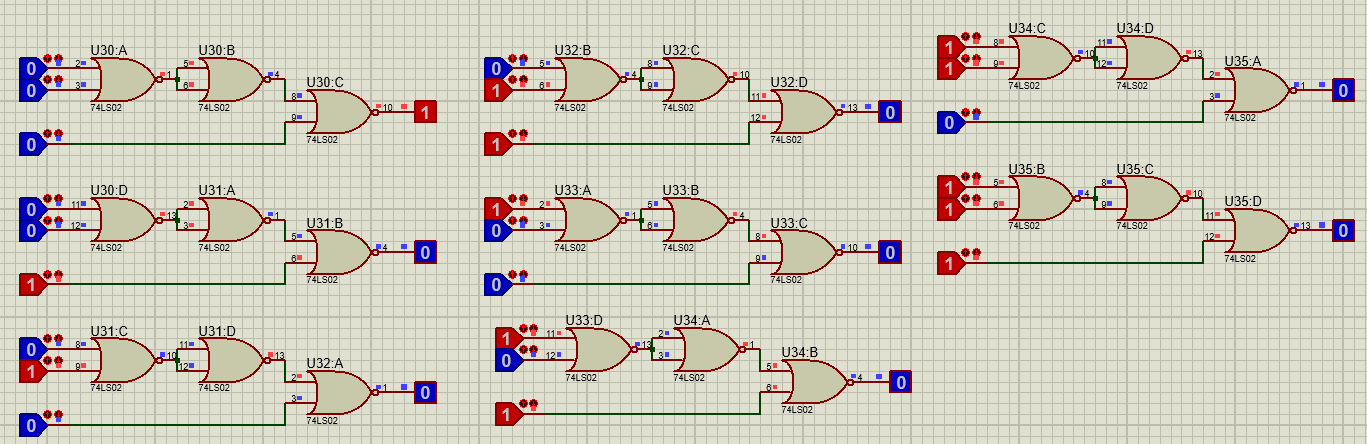
**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

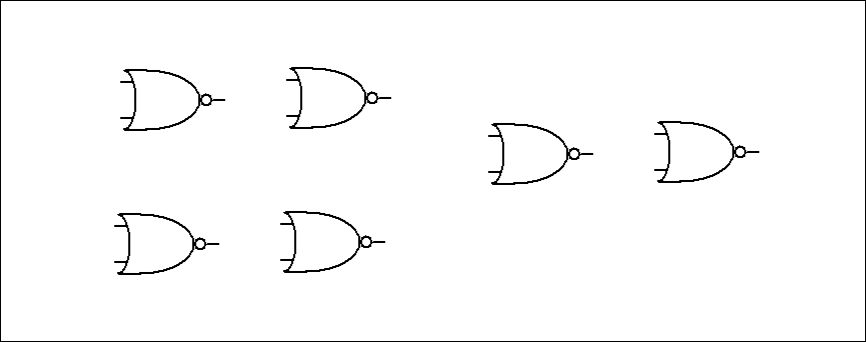
Şekil 1.28.(b) 2 girişli NOR kapılarıyla 3 girişli NOR kapısının oluşturulması – uygulama devresi.

1. Deneyde elde etmiş olduğunuz Tablo 1.23’ü aşağıya tekrar doldurunuz:

|  |  |  |  |
| --- | --- | --- | --- |
| **GİRİŞLER** | | | **ÇIKIŞ** |
| **A** | **B** | **C** | **Y** |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

Tablo 1.23.

1. Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır?
2. Tablo 1.23'teki sonuçlara göre 3 girişli NOR kapısının doğruluk tablosu elde edilmiş midir? (Soru 3 ve 4’ün cevabı)
3. 2 girişli NOR kapıları kullanarak 4 girişli bir NOR kapısı oluşturunuz. (girişler A, B, C, D, çıkış Y)



A

B

Y

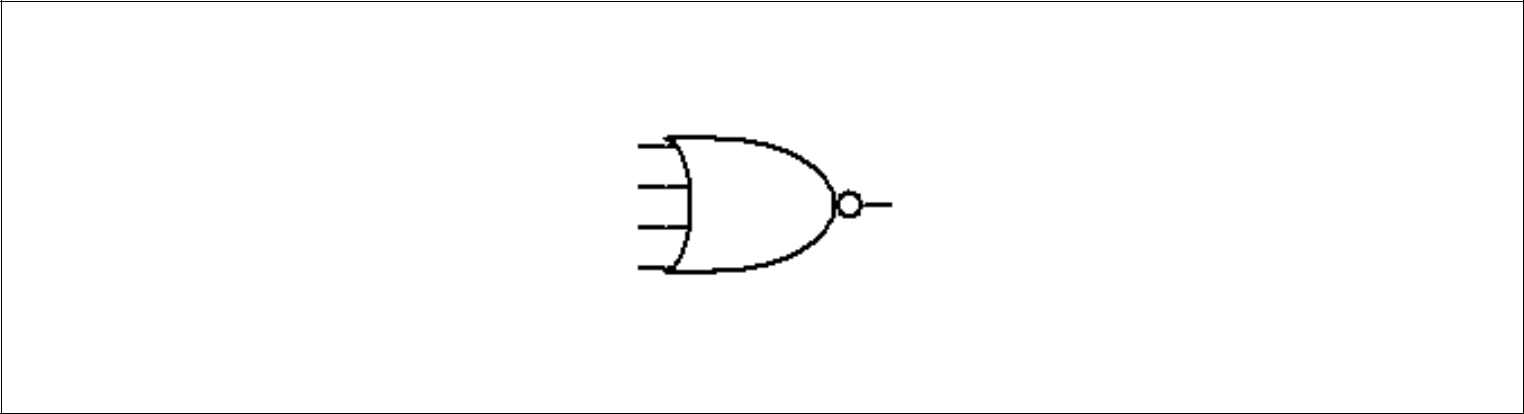
C

D

((A+B)’)’=A+B

olduğundan, or kapısını elde etmek için nor kapısının çıkışının değilinin alınması gerekir.

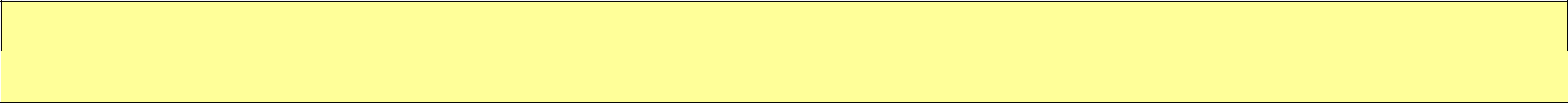
1. 4 girişli bir NOR kapısı kullanarak 2 girişli bir NOR kapısı oluşturunuz. (girişler A, B, çıkış Y)



A

Y

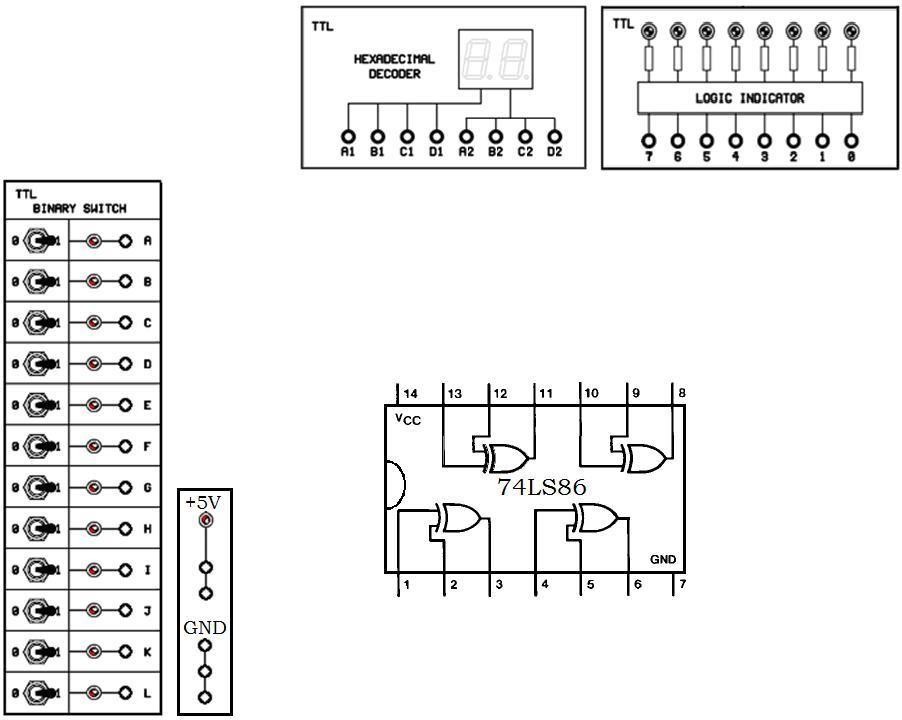
B



**DENEY NO: 1.14**

**DENEY ADI: EXCLUSIVE-OR KAPISININ DOĞRULUK TABLOSUNUN ÇIKARILMASI**

1. Şekil 1.31.(a)’daki devreye uygun olarak Şekil 1.31.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın.

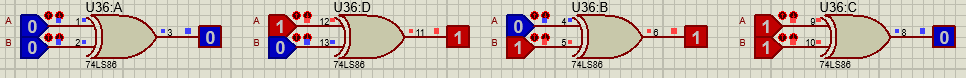
Şekil 1.31.(b) 2 girişli EX-OR kapısının incelenmesi – uygulama devresi.

1. Deneyde elde etmiş olduğunuz Tablo 1.25’i aşağıya tekrar doldurunuz:

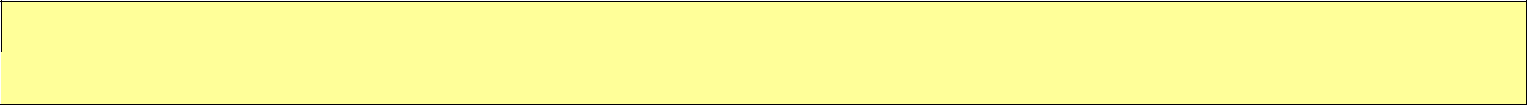
|  |  |  |
| --- | --- | --- |
| **GİRİŞLER** | | **ÇIKIŞ** |
| **A** | **B** | **Y=A**  **B** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Tablo 1.25.

5- Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır? Tablo 1.25'teki sonuçlara göre EX-OR kapısı doğruluk tablosu elde edilmiş midir?

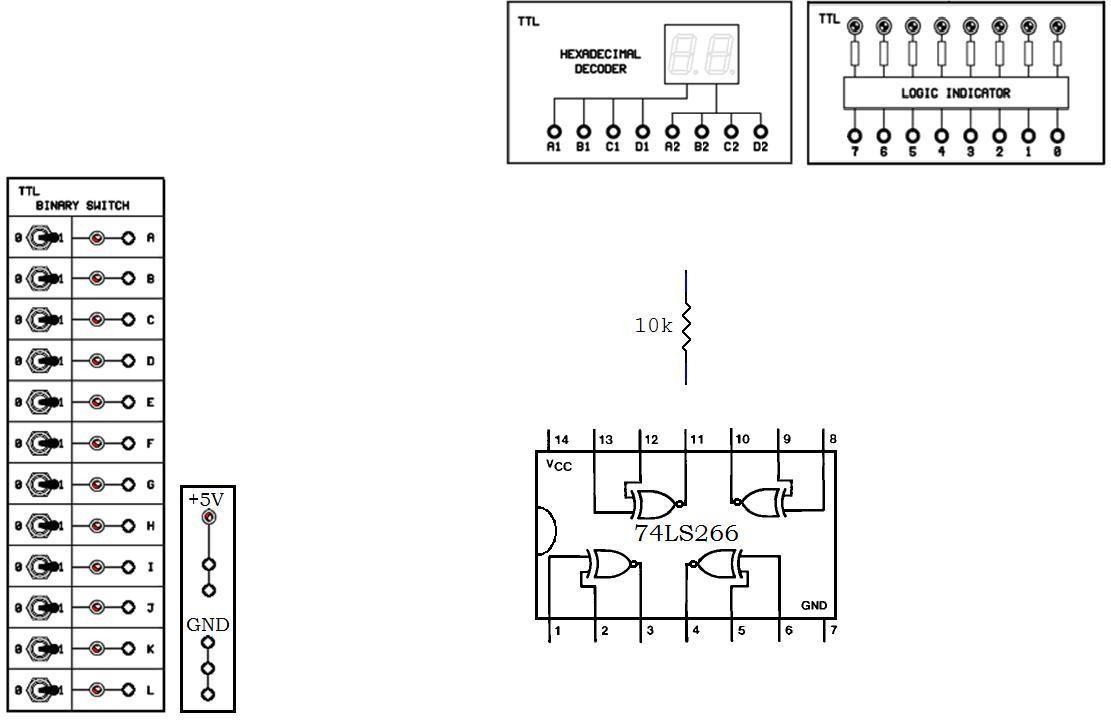


# DENEY NO: 1.15



**DENEY ADI: EXCLUSIVE-NOR KAPISININ DOĞRULUK TABLOSUNUN ÇIKARILMASI**

1. Şekil 1.34.(a)’daki devreye uygun olarak Şekil 1.34.(b)'deki uygulama devresini kurşun kalemle çiziniz. Vcc bağlantıları kırmızı renkli kalemle, GND bağlantıları mavi renkli kalemle ve diğer tüm bağlantılar da siyah renkli kurşun kalemle çizilecektir.



**Not:** Entegre devrenin Vcc (+5V) ve GND bağlantılarını yapmayı unutmayın. Şekil 1.34.(a) 2 girişli EX-NOR kapısının incelenmesi – uygulama devresi.

1. Deneyde elde etmiş olduğunuz Tablo 1.27’yi aşağıya tekrar doldurunuz:

|  |  |  |
| --- | --- | --- |
| **GİRİŞLER** | | **ÇIKIŞ** |
| **A** | **B** |   **Y = (A**  **B)’ = A B** |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Tablo 1.27.

1. Çıkış ne zaman lojik "1" dir? Ne zaman lojik "0" dır? Tablo 1.27'deki sonuçlara göre EX- NOR kapısının doğruluk tablosu elde edilmiş midir?

Boolean cebirindeki birçok özelliği kullanarak 2 girişli logic kapıları gerekli değişikliklerle 3 girişli logic kapılara dönüştürebilir veya inverter olarak çalışmasını sağlayabiliriz. Entegreler logic kapılar ve daha fazlasının birleştiği bir kit şeklinde sunulmuş yapılardır ve bunları kullanarak devrelerimizi daha kolay ve hızlı gerçekleştirebiliriz. Farklı entegrelerin farklı iç yapıları ve dolayısıyla farklı karakteristik özellikleri vardır.

**SONUÇLAR VE TARTIŞMA** (Deneyden elde edilen sonuçların yorumu ve deneyin genel değerlendirmesinin yapıldığı sonuç buraya yazılacaktır):